

DLIALOG(R)File 352:Derwent WPI  
(c) 2001 Derwent Info Ltd. All rts. reserv.

011309195 \*\*Image available\*\*

WPI Acc No: 1997-287100 199726

Related WPI Acc No: 1997-190387; 1997-190388; 1997-233573; 2000-288763;

2000-288764

NRPN Acc No: N97-237814

Semiconductor device e.g. thin-film transistor for liquid crystal display

- uses tungsten silicide film in absorbing heat and transferring it to  
polycrystalline silicon film during impurity activation

Patent Assignee: SANYO ELECTRIC CO LTD (SAOL)

Inventor: HIRANO K; MORIMOTO Y; SOTANI N; YAMAJI T; YONEDA K

Number of Countries: 003 Number of Patents: 004

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 9107108	A	19970422	JP 96205073	A	19960802	199726 B
KR 97008658	A	19970224	KR 9626820	A	19960703	199812
US 5771110	A	19980623	US 96677424	A	19960702	199832
JP 3096640	B2	20001010	JP 96205073	A	19960802	200052

Priority Applications (No Type Date): JP 95199981 A 19950804; JP 95167513 A  
19950703; JP 95199979 A 19950804; JP 95199980 A 19950804; JP 95199982 A  
19950804

Patent Details:

Patent No Kind Lan Pg Main IPC Filing Notes

JP 9107108 A 13 H01L-029 786

KR 97008658 A H01L-029 78

US 5771110 A H01L-029 786

JP 3096640 B2 12 H01L-029 786 Previous Publ. patent JP 9107108

Abstract (Basic): JP 9107108 A

The device has a tungsten silicide film (2) formed between a glass substrate (1) and a thin film transistor (A). The film absorbs heat during rapid thermal annealing for impurity activation.

The absorbed heat is used to uniformly and directly heat a polycrystalline Si film (4).

**ADVANTAGE** - Obtains good quality semiconductor device by making activation state of impurity area uniform. Obtains Si-film for short time. Prevents deformation of substrate during heat-treatment. Provides good quality liquid crystal display device.

Dwg.1 20

Title Terms: SEMICONDUCTOR; DEVICE; THIN; FILM; TRANSISTOR; LIQUID; CRYSTAL; DISPLAY; TUNGSTEN; SILICIDE; FILM; ABSORB; HEAT; TRANSFER; POLYCRYSTALLINE; SILICON; FILM; IMPURE; ACTIVATE

Index Terms Additional Words: LCD

Derwent Class: I03; P81; U11; U12; U14

International Patent Class (Main): H01L-029 78; H01L-029 786

International Patent Class (Additional): G02F-001 136; G02F-001 1368;

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-107108

(43)公開日 平成9年(1997)4月22日

(51)Int.Cl. <sup>6</sup>	識別記号	府内整理番号	F I	技術表示箇所
H 01 L 29/786			H 01 L 29/78	6 1 2 B
G 02 F 1/136	5 0 0		G 02 F 1/136	5 0 0
H 01 L 21/268			H 01 L 21/268	Z
21/768			27/12	R
27/12			21/90	Z

審査請求 未請求 請求項の数19 ○L (全13頁) 最終頁に続く

(21)出願番号 特願平8-205073

(71)出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(22)出願日 平成8年(1996)8月2日

(72)発明者 平野 貴一

大阪府守口市京阪本通2丁目5番5号 三

洋電機株式会社内

(31)優先権主張番号 特願平7-199981

(72)発明者 曾谷 直哉

大阪府守口市京阪本通2丁目5番5号 三

洋電機株式会社内

(32)優先日 平7(1995)8月4日

(72)発明者 山路 敏文

大阪府守口市京阪本通2丁目5番5号 三

洋電機株式会社内

(33)優先権主張国 日本 (JP)

(74)代理人 弁理士 安富 耕二 (外1名)

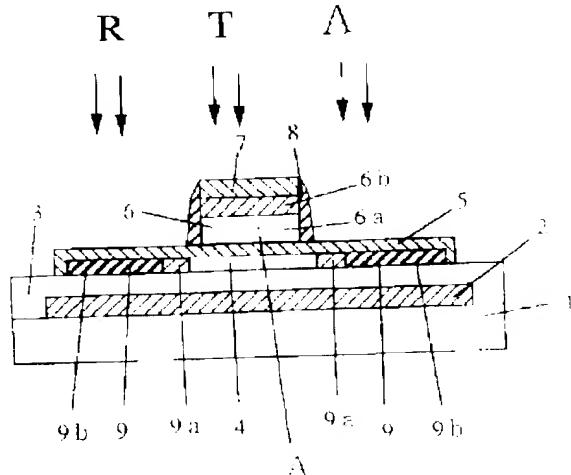
最終頁に続く

(54)【発明の名称】 半導体装置及び表示装置

(55)【要約】

【課題】 熱処理の際の基板の変形を防止すること

【解決手段】 ガラス基板1と TFT(A)と2間にWSI膜2を形成する。このWSI膜2は、有機物活性化の際にTFT(A)を吸収する作用があり、多結晶SI膜4を上手くTFT(A)上に放射熱により直接熱接する上に加熱し、有機物活性化を行なうことでなく良好に行なわれる。また、TFT(A)とWSI膜2の面積を、画素部1の面積よりもTFT(A)の面積よりも大きい位置する方か大きい方を上に調整する。



### 【特許請求の範囲】

【請求項1】 基板上に複数の半導体素子を集積させたものであつて、前記各半導体素子が前記基板と半導体素子との間に設けられた熱吸収膜を有し、前記基板上にははされた前記半導体素子の動作状態に応じて、半導体素子が相対的に多く密集中して、各個別の前記各半導体素子に対する前記熱吸収膜による熱吸収効果を相対的に低下させ、前記半導体素子が相対的に少ないので、前記各半導体素子に対する前記熱吸収膜による熱吸収効果を相対的に増加させることを特徴とする半導体装置

【請求項1】 基板上に複数の半導体スイッチング素子を集積させた半導体装置であって、前記各半導体スイッチング素子が、前記基板上に形成された熱吸収膜と、前記熱吸収膜上に形成された半導体膜と、前記半導体膜の上にゲート絶縁膜を介して形成されたゲート電極と、前記半導体膜に形成された不純物領域とを備え、前記基板上に前記半導体スイッチング素子の分布状態にあわせて、前記半導体スイッチング素子が相対的に多く密集している個所の前記各半導体スイッチング素子に対する前記熱吸収膜の熱吸収効果を相対的に低下させ、前記半導体スイッチング素子が相対的に少ない個所の前記各半導体スイッチング素子に対する前記熱吸収膜の熱吸収効果を相対的に増加させた半導体装置。

【請求項3】 前記熱吸収膜による熱吸収効果を、熱吸収膜の面積や膜厚を変えることにより調整することを特徴とした請求項1または2に記載の半導体装置

【請求項4】 基板上に複数の半導体素子を積み重ねて、表示装置であつて、

前記複数の半導体素子が熱吸収膜を有する複数の第1の半導体素子と熱吸収膜を有しない、複数の第2の半導体素子を含み、  
前記基板上における前記半導体素子の分布状態にむかって、前記半導体素子が相対的に多く富集している個所に前記第2の半導体素子を相対的に多く集積させ、前記半導体素子が相対的に少ない個所に前記第1の半導体素子を相対的に多く集積させた表示装置

【請求項 5】 画素部を周辺運動回路部と並列して基板上に形成された半導体膜と、休眠表示装置において、基板上に形成された半導体膜と、この基板取膜の上に形成された半導体膜と、この半導体膜の上に、一ト花紋膜を有して形成された二ト電極と、前記半導体膜に形成された不純物領域とを具備した半導体膜の重なり部を、前記画素部に接する半導体膜運動用素子及び前記周邊運動回路部に接する半導体膜運動用素子と並用し、前記半導体膜運動用素子の表面に形成された熱吸収膜、熱吸収效果を、前記周邊運動回路部に接する半導体膜運動用素子と並用する。

前記周辺部内に設けられた構造物側面部用素子とを構成し、前記曲率運動用素子内及び前記曲率運動用素子が半導体膜と、前記半導体膜と前記基板上に形成された熱吸収膜と、前記熱吸収膜上に形成された半導体膜と、前記半導体膜上に形成された絶縁膜を並びて形成された二重電極と、前記半導体膜に形成された不純物領域とを備え、前記曲素部内に設けられた前記熱吸収膜の前記半導体膜に対する面積を厚さと比空を、前記周辺部内に設けられた前記熱吸収膜の前記半導体膜に対する面積を厚さと比空に比して大きくなることなく設けたことを特徴とする装置。

【請求項 2】 前記画素部内に前記熱吸収膜の面積が、前記画素部全体の面積の40%以上、60%未満である上記規定を有する請求項1に記載の表示装置

【請求項8】 周辺駆動回路部内の前記吸収膜の面積が、前記周辺駆動回路部全体の面積の0.1%～0.5%となるように設定されている請求項7に記載の表示装置

【請求項9】 前記熱吸収膜(前面積)、前記基板全体、前面積の(0.1～0.6)倍の範囲に設定されて、前記該項に記載の表示装置

【請求項10】 前記基板3、液晶層を挟んで相対可動して設けられた一对の基板3、3の一方の基板3であることを特徴とした請求項1、2、3、4、5、6、7、8、9に記載の表示装置

【請求項1-2】一基板上に複数の半導体素子を集積された表示装置であって、前記複数の半導体素子が熱吸収膜を有する複数の第1の半導体素子と熱吸収膜を有しない複数の第2の半導体素子を含み、前記基板上における前記半導体素子の分布状態にちりばめて、前記半導体素子が相対的に多く密集している個所に前記第2の半導体素子を相対的に多く集積され、前記半導体素子の相対的に多く集積された表示装置。

【請參照1-3】前記加坡海事局之絕緣膜之研究，此為特徵之請參照。其上之圖，即為此之研究。

三

【請求項17】 前記熱吸収膜は、前記半導体アレイを  
シングル素子の製造過程で用いられる熱処理、焼成を除くと、  
他の特質が異なることを特徴とした請求項5乃至14に記載の  
如きの特徴を1通り記載の表示装置

【請求項18】 前記熱処理として RTA法 (Rapid Thermal Annealing) を用いたことを特徴とした請求項17に記載の表示装置

【請求項14】 前記E1～E4の熱源として用いたアーチランプを用いたことを特徴とする請求項1～8に記載の表示装置

## 【発明の詳細な説明】

[ ( ) 0 1 ]

【発明の属する技術分野】本発明は、薄膜トランジスタ(Thin Film Transistor)などの半導体装置及び液晶ディスプレイ(Liquid Crystal Display)などの表示装置に関するものである。

〔 0.0.0.2 〕

【従来の技術】近年、アクティオマトリクス方式<sup>1)</sup>の  
の曲率駆動用素子（曲率駆動用トランジスタ）として、  
透明絕縁基板上に形成された多結晶シリコン膜を能動層  
に用いた薄膜トランジスタ（以下、多結晶シリコンTFT  
TFT）といふ構造が進められて、現

【0003】多結晶シリコントランジistorは、非晶質シリコン膜を駆動層に用いた薄膜トランジistorに比べ、駆動度が大きく駆動能力が高いという利点がある。そのため、多結晶シリコントランジistorを用いれば、高性能なLCDを実現できる上に、画素部(表示部)だけではなく、周辺駆動回路(ドライバ部)までを同一基板上に一体に形成することができる。

【0010】このような多結晶シリコン上ににおいて、能動層としての多結晶シリコン膜の形成方法としては、基板上に直接多結晶シリコン膜を堆積させる方法や基板上に非晶質シリコン膜を形成した後に、これを多結晶化する方法等がある。このうち、多結晶シリコン膜を直接基板に堆積させる方法は、開示する方法を用いて、高溫上で堆積させると、比較的簡単に多結晶化

【012】また、非晶質シリコン膜を堆積した後にこれを多結晶化するは、固相成長法が一般的である。この固相成長法は、非晶質シリコン膜に熱処理を行なうことにより、固体のままで多結晶化されて多結晶シリコン膜を形成する方法である。多結晶シリコンは、主として製造者が成る。

【例題1】從題目17(1)開始, 說明之

シスケの能動層と比較して、この上半部は多様な技術で、日本工芸にまことに「手」の技術による記述が見受けられる。膜下部を断面形状に加工する。

【C-007】前記多結晶シリコン膜上に、(i)酸性VDEを用いて、(ii)超純水蒸気上で成膜した酸化膜を堆積する。

工程11(417段階):前記11-1の銀膜を80℃に加熱して100℃にまで昇温する。この段階にて多結晶シリコン膜を堆積した後、この多結晶シリコン膜に不純物を注入し、更に熱処理を行って不純物を活性化させる。

【0008】次に、常圧CVD法により、この多結晶シリコン膜の上にシリコン酸化膜 $\lambda$ を堆積した後、マトリソグラフィ技術、EUV法によるドライエッチ技術を用いて、前記多結晶シリコン膜及びシリコン酸化膜 $\lambda$ を所定形状に加工する。前記多結晶シリコン膜はゲート電極 $\lambda$ として使用する。次に、自己整合技術により、ゲート電極 $\lambda$ 及びシリコン酸化膜 $\lambda$ をマスクとして、多結晶シリコン膜 $\lambda$ に不純物を注入し、ゲート上に量子領域 $\lambda$ を形成する。

【G(0.0)】最後に、更に熱処理を行って、ソーラー・トレイシング法(?)としての不純物を活性化させることの出来る方法は、同相成長や不純物活性化の時に0.01%程度の高い温度を使用することから、高温アロマチックと呼ばれている。また、熱処理にレーザー・ビーム・アーナー法や自己蒸発法などを用いた低温アロマチックを用、その間をも盛んに往來するところである。

[(0,1,0)]

【発明が解決しようとする課題】従来例においては、例えば不純物の活性化が良好に行はれないなど、熱処理による熱が有効に活用がされない懸念がある。本発明は、半導体装置及び表示装置に関する、斯かる問題点を解決するものである。

[0011]

【課題を解決するための手段】請求項1に記載の半導体装置は、基板上に複数の半導体粒子を堆积させたものであつて、前記各半導体粒子は前記基板と半導体粒子との間に設けられた熱吸収膜と有する前記基板上に形成された半導体粒子が分布状態で存在する。半導体粒子は相対的に多く密集している。前記各半導体粒子は前記熱吸収膜にて熱吸収効果を相対的に減少させ、前記半導体粒子が相対的に多く存在する前記熱吸収膜による熱吸収効果を相対的に増加させる構造である。

【0012】請上網上記載「千葉縣見面」事件，並說明事件的起因。

チク素子の分布状態を示すと、前記半導体スイッチ素子の相対的に多く密集している個所の前記各半導体スイッチ素子に対する前記熱吸収膜の熱吸収効果を相対的に低下させ、前記半導体スイッチ素子が相対的に少ない個所の前記各半導体スイッチ素子に対する前記熱吸収膜の熱吸収効果を相対的に増加されたものである。

【001-6】請求項3に記載の半導体装置は、前記熱吸収膜による熱吸収効果を、熱吸収膜の面積を膜厚を変化することにより調整するものである。請求項4に記載の半導体装置は、基板上に複数の半導体素子を集積させた表示装置であって、前記複数の半導体素子が熱吸収膜を有する複数の第1の半導体素子と熱吸収膜を有しない複数の第2の半導体素子を含み、前記基板上に記載の前記半導体素子の分布状態にあわせて、前記半導体素子が相対的に多く密集している個所に前記第2の半導体素子を相対的に多く集積させ、前記半導体素子が相対的に少ない個所に前記第1の半導体素子を相対的に多く集積させたものである。

【0014】請求項5に記載の表示装置は、画素部と周辺駆動回路部とが同一基板上に形成されたトライバー体型の表示装置において、基板上に形成された熱吸収膜と、この熱吸収膜の上に形成された半導体膜と、この半導体膜の上にゲート絶縁膜を介して形成されたゲート電極と、前記半導体膜に形成された不純物領域とを具備した半導体スイッチング素子を、前記画素部における画素駆動用素子及び前記周辺駆動回路部における周辺駆動回路用素子として用い、前記画素部に位置する熱吸収膜の熱吸収効果を、前記周辺駆動回路部に位置する熱吸収膜の熱吸収効果に比べて低くなるように調整したものであら。

前記熱吸収膜の面積は、前記引出切端側部の体積と前記のC<sub>1</sub>、0.1～0.75をもとに設定値をもつて名前を

【C0118】請求項1-3に記載の表示装置は、基板上に複数の半導体素子を集積させた表示装置である。前記複数の半導体素子が熱吸収膜を有する複数の第1の半導体素子と熱吸収膜を有しない複数の第2の半導体素子を含み、前記基板上における前記半導体素子の分布状態にあわせて、前記半導体素子が相対的に多く集積している箇所に前記第1の半導体素子を相対的に多く集積させ、前記半導体素子が相対的に少ない箇所に前記第2の半導体素子を相対的に多く集積させたものである。

【0019】請求項13に記載の表示装置は、前記熱吸収膜の上に絶縁膜を形成したものである。請求項14に記載の表示装置は、前記熱吸収膜が、金属または金属シリサイドなどの導電物質およびリボンなどの非導電物質であるものである。請求項15に記載の表示装置は、前記熱吸収膜の導通性を有するものである。

【0020】請求項1-1に記載の表示装置は、前記基板が透明基板であるものである。請求項1-7に記載の表示装置は、前記熱吸収膜等、前記半導体素子、シング基板の製造過程で用いられる熱吸却用の熱を吸収せやすい材料なるものである。請求項1-8に記載の表示装置は、前記熱処理として日本特許「Rapid Thermal Annealing」を用いるものである。

【G-2-1】請求項1-1に記載の表示装置は、前記1-1の方法の熱源としてセレンアーフランプを用いたものである。

[ 1 1 ]

が示す通り、温度にXの上限を設定する必要がある。

【0023】工程2(図2参照)：前記Wシリコン下膜上を、リソグラフィ技術、エッチング技術を用いて、後述する下段の多結晶の能動層として、多結晶シリコンと同じパターンを加工する。

工程3(図3参照)：前記基板1及びWシリコン下膜上を覆うように、SiO<sub>2</sub>やSi<sub>3</sub>N<sub>4</sub>などの絶縁性薄膜3を、UV露光やスパッタ法などにより形成する。具体的には、基板1として無アルカリガラスを使用し、その表面上に常圧浸没露光用UV板により、形成温度350℃にて、膜厚8000～5000ÅのSiO<sub>2</sub>膜を形成する。

【0024】このSiO<sub>2</sub>膜の膜厚は、後工程の熱処理やビーム照射などで基板1中の不純物がこのSiO<sub>2</sub>膜を通過して上層に拡散しない程度の厚みが必要で、10000～8000Åの範囲が適切で、2000～6000Åにしたときに拡散防止効果が良好で、その中でも5000～5000Åの場合がもっとも適している。また、絶縁性薄膜3としてSi<sub>3</sub>N<sub>4</sub>を用いた場合の膜厚としては、1000～5000Åの範囲が適切で、2000～5000Åにしたときに拡散防止効果が良好で、その中でも2000～3000Åの場合がもっとも適している。

【0025】工程4(図4参照)：前記絶縁性薄膜3の上に、非晶質シリコン膜4(膜厚700Å)を形成する。この非晶質シリコン膜4は上工程の能動層として用いた場合、この能動層を厚すぎると、多結晶シリコン TFTのオフ電流が増大し、薄すぎるとオン電流が減少するため、このときの非晶質シリコン膜4の膜厚は、400～800Åの範囲が適切で、500～700Åにしたときに特性が良好で、その中でも500～600Åの場合がもっとも適している。

【0026】前記非晶質シリコン膜4の形成方法には以下のものがある。

①減圧CVDを用いる方法：減圧CVD法でシリコン膜を形成するには、モルタル、焼成炉、還元炉(以下「炉」として、熱分解法用いる「モルタル」を用いた場合、熱処理温度が高くなる)に対して、非晶質シリコン膜4は、これは多結晶となる。したがって、炉の温度によっては微結晶を含む非晶質が多くなり、温度が低い場合は非晶質に対して微結晶が少くなる。従って、温度条件を変えるだけで、非晶質シリコン膜4中の微結晶の量を調整することが可能となる。

【0027】②ラジオ波CVD法を用いる方法：ラジオ波CVD法は、非晶質シリコン膜4を形成する方法。

は波長6～24μmのラジオ波を用いてレーザー光を走査してアモルファス法による非晶質シリコン膜4を溶融再結晶化して、多結晶シリコンの膜4を形成する。

【0028】この時(レーザー条件は、アモルファス法：100W以下、基板温度：室温～600℃、照射エネルギー密度：100～500mJ/cm<sup>2</sup>、走査速度：1～10mm/s等)(実際は、0.1～100W、100～500mJ/cm<sup>2</sup>、走査速度で走査可能)、又は、前記レーザービームとして、波長6～308nmのXUVビームを用いてマレーザーを使用して走査(レーザー条件は、アモルファス法：100W以下、基板温度：室温～600℃、照射エネルギー密度：100～500mJ/cm<sup>2</sup>、走査速度：1～10mm/s等)(実際には、0.1～100W、100～500mJ/cm<sup>2</sup>、走査可能)である。

【0029】また、波長6～13.8μmのXUVビームを用いてレーザーを使用して走査(この場合のレーザー条件は、アモルファス法：1～10W以下、基板温度：室温～600℃、照射エネルギー密度：100～500mJ/cm<sup>2</sup>、走査速度：1～10mm/s等)である。いわばこのレーザービームを用いても、照射エネルギー密度及び照射回数に比例して、多結晶シリコンの粒径は大きくなるので、所望の大ささの粒径が得られるように、エネルギー密度を調整すればよい。

【0030】本実施例では、この上をレーザービームに、高スリードレーザー照射法を用いる。即ち、図1-4において、1.14倍長アズミウムレーザー、1.02倍アズミウムレーザー、1.01倍アズミウムレーザーを被覆する反射鏡、1.03倍反射鏡1.02倍アズミウムレーザービームを所定の状態に加工し、基板1に照射するレーザービーム制御光学系である。

【0031】このよる構成において、高スリードレーザー照射法とは、レーザービーム制御光学系103によってレーザー(1.03倍反射鏡)、反射鏡102に加工されたレーザービームを、複数の反射鏡101で反射して、反射鏡102に高精度で準直線的に照射することである。これを高スリードレーザー照射法と名づける。

【0032】工程5(図5参照)：前記多結晶シリコン膜4を薄膜トランジスタ、能動層として用いるためのワットリソグラフィ技術、上工程による下段の第一多結晶技術による前記多結晶シリコン膜4を所定形状に加工する。そして、前記多結晶シリコン膜4の上に、第一多結晶技術による基板2用接着剤を用いて、第一多結晶

0.03A/cm<sup>2</sup>を堆積する。この非晶質シリコン膜10は、その形成時に不純物の影響ないヒューリック型を示すが、これがこの状態で堆積し、その後に不純物を注入してもよい。次に、スパッタ法を用い、前記非晶質シリコン膜10の上にタングステンシリサイト(W<sub>1-x</sub>T<sub>x</sub>)膜60(膜厚1.0μm)を形成する。

【0034】そして、常圧CVD法により、前記Wシリサイト膜60の上にシリコン酸化膜7を堆積した後、アーチリソグラフィ技術、日本工器によるガラスチック技術を用いて、前記多結晶シリコン膜60のWシリサイト膜60及びシリコン酸化膜7を所定形状に加工する。前記非晶質シリコン膜10は、前記Wシリサイト膜60とともにホリサイド構造のゲート電極6として使用する。

【0035】工程8(図8参照)：前記ゲート絶縁膜7及びシリコン酸化膜7の上に、常圧CVD法によりシリコン酸化膜を堆積し、これを裏方性全面エッチバックするにより、前記ゲート電極6及びシリコン酸化膜7の側方にサイドウォール8を形成する。そして、自己整合技術により、サイドウォール8をマスクとして、多結晶シリコン膜4に、加速電圧1.5KV、トータル量3×10<sup>13</sup>/cm<sup>2</sup>の条件で、ランダムオシを不純物として注入し、低濃度の不純物領域9を形成する。

【0036】工程9(図9参照)：前記サイドウォール8及びシリコン酸化膜7をレジスト10で覆い、再び自己整合技術により、レジスト10をマスクとして多結晶シリコン膜4に、加速電圧1.5KV、トータル量1×10<sup>13</sup>/cm<sup>2</sup>の条件で、ランダムオシを不純物として注入し、高濃度の不純物領域9を形成することにより、LDRI(Lightly Doped Drain)構造のマスクトランジン領域9を形成する。

【0037】工程10(図10参照)：この状態で、RTA(Rapid Thermal Annealing)法による急速加熱を行なう。即ち、図10に示して、100W/cm<sup>2</sup>のアーチ光を充満光路11より照射し、アーチランプ12のアーチ光を充満光路11より照射する。これを上下に相対向させることにより構成されている。図8～10は基板1を搬送するためのTFT、100W/cm<sup>2</sup>を熱用アリモーター、1.1KVを加熱後、基板が急速に冷却されてび剥離しないようにするための補助ヒーターである。

【0038】この10工程は、基板1をアーチランプ12、100W/cm<sup>2</sup>で予熱した後、1.1KVでアーチ光源12を充満する。熱用アリモーター11と補助ヒーター13を用いて、

【0039】前記基板1に対する急激な温度上昇を行うことが必要である。このを複数回に分けた行なうのもよい。即ち、各回の時間は1～3秒とし、回を重ねる毎に温度を、初期：100℃、最終回：700～750℃、などといったように段階的に上昇させる。主な具体的な例は、窒素(～1000ppm)中で、加熱を例に挙げて解説する。各回ごとの物理温度が段階的に上昇するように設定してもよい。例には、初期：1回目：100℃、2回目：200℃、以降同様、3回目：300℃、4回目：400℃、5回目：500℃、6回目：600℃、7回目：650℃の加熱回数10回目：700℃など、徐々に温度を上げることにより、基板が吹きだらけ損傷したりするのを防ぐことができる。各回の物理時間は例が表1～3秒である。

【0040】温度の調整は、初期は前記アーチランプ12を点灯せず、フリヒーターの熱を用い、2回目以降は、アーチランプ12の熱を10KW～70KWの範囲で変えることにより行なうことができる。前記アーチランプ12の光強度は、多結晶部よりも非晶質部よりも半子半部に強く吸収されるため、必要な部分のみを慎重的に加熱することが可能になり、(ゲート)絶縁の抵抗化や不純物の活性化に適している。また、前述するようにWシリサイト膜6を用いた加熱も有効に行なうことができる。

【0041】そして、この急速加熱にまり、前記マスクドレイン領域9の不純物が活性化するとともに前記非晶質シリコン膜10が多結晶化され、更には、この多結晶シリコン膜10とWシリサイト膜60とともにホリサイド構造のゲート電極6は、アーチ抵抗が、約20Ω～22Ω/mにまで下がる。また、活性化処理を行なったアーチランプ12のシート抵抗も、正型電極：1.1～1.2KΩ、T型電極：1.1～2.2KΩと、高溫170℃まで用いられる振動炉による高温熱処理と同様のものとなる。

【0042】特に、本実施例では、多結晶シリコン膜10に対応して、その下方にWシリサイト膜60を形成している。このWシリサイト膜60は、上記の熱を吸収する作用があり、熱を吸収する層とWシリサイト膜60の成膜時間は、ても前記多結晶シリコン膜10の結晶化活性化が行なわれる。即ち、多結晶シリコン膜10の結晶化活性化による熱とWシリサイト膜60の吸収熱とが、1.1KVの直接受け間接熱の加熱熱と並行に上り、多結晶シリコン膜10全体を均一に加熱し、活性化がハーフターンで良好に行なわれる。

【0043】Wシリサイト膜60の膜厚は、基本的には1μmであるが、膜厚が薄い場合、1.5μm～2.0μmと

均一熱処理が行なえまじめに熱伝導率と集中する場所での温度が非常に高くなりて基板上が変形する場合がある。そこで、下層に配置した熱吸収膜の単位面積当たりの密度を、その上層に形成される熱吸収膜の密度と一定とするようにすれば、上層熱吸収膜の温度分布の偏りを矯正することができる。具体的には、ドライバー一体型の上・下スループでは、ドライバ部に比べて画素部のドライバ部の寄従が高いので、ドライバ部のトランジスタに対するドライバ熱吸収膜の大きさを、画素部にそれに比べて大きさをとることで、基板上全体の温度分布が均一になる。

【(O) (1)】上 (C) (D)ハモルにおいては、回路面積の約10%がAWシリサイド膜と共にドーピングを調整する事が好ましい。この工程により、多結晶シリコントランジスタ (Transistor) (A) が形成される。次に、上記の上 (C) に製造された多結晶シリコントランジスタ (A) を画報効素子として用い、透過型構成を用いてDの画報部の構成を図1-1に示して説明する。

【0045】工程①：漏間絶縁膜11の形成に先立ち、スパッタ法により、前記基板1の画素部領域上にITO (Indium Tin Oxide) からなる補助容量の電極12を形成する。

工程②：チバノスの全面に絶縁膜13を形成する。絶縁膜13の材質としては、シリコン酸化膜、シリケートガラス、シリコン酸化膜などが用いられ、その形成には、VPO法等のPVD法が用いられる。

【0046】次に、絶縁膜1-3にソース・ドレイン電極1-4とコンタクトするためのコントакトホールを形成し、アバッタ法により、そのコントакトホールを含むアバッタの全面に1-1の膜を形成し、その上に1-1の膜をバターニングして上部電極1-5を形成する。

工程③：多結晶シリコン TFT (A) が形成された透明絕縁基板 1 と、表面に導通電極 16 が形成された透明絕縁基板 17 とを相対向きに、各基板 1, 17 の間に液晶を封入して液晶層 18 を形成する。その後、TFT 電極部を掩蔽する。

【図10-7】次に、[441]には本実験例における「タテマツリ」のデータから式(1)を用いて、各構成部品の「離合部」には各主配線(タテマツリ配線)D1-Dm+1-Dmと各データ線(ドライブ)配線:D1-Dm+1-Dmを並列接続されている。各データ配線と各データ線の配線としては、それ自身直交し、その直交部分に画素2(0)が設けられており、次に、各データ配線は、タテマツリの「主」上に接続され、データ信号、走査信号、同期信号等の各信号を各構成部品に供給する。

（をもつて表記）一方を画素部11と同一構成とする形状部12には、一般に上記の一体型、下記の分離型、上記12種類に依る、尚、上記下記各形状部11、12の画素部11の構造は設けられて居る場合もある。また、上記12種類の下記各形状部11、12の構造は設けられて居る場合もある。

【(C)(1)(i)】この届出機動回路部による、当該シリコンダイオード素子にも前記多結晶シリコントランジistorを同時に製造し、多結晶シリコントランジistorを用いて、同一基板上に形成される構造である。尚、この届出機動回路部による用いた結晶シリコントランジistorは、单一構造ではなく、通常のシングルドレイン構造を採用している。すなはち、N+P+N構造であつてもよい。

【0050】また、この周辺駆動回路部23の多路端子コントローラ10上には、STM32構造に形成することにより、各ドライバ部11、12を通じた動作確実化を実現している。図1-3にデータ配線印とドライバ配線印が並んで示されている。これを参考して周辺回路を確認してみよう。

【00-1】画素200は、画素駆動素子とし次の下下下（前記導膜トランジスタAと同様）、液晶セル上（）袖助要領CSから構成されて、タート配線Gnには下下下、ゲートGが接続され、トレンジスト線Lnには下下下、ゲートGが接続されている。そして、下下下のワープ（式）液晶セル上（）表示電極（画素電極）と袖助電極（蓄積電極）は付加容量Cnと接続されている。

【(0)52】この液晶セル110と補助容量C5とによる、信号蓄積素子が構成される。液晶セル110の共通電極(表示電極の反対側の電極)には電圧Vcが印加されている。一方、補助容量C5において、上下のワイヤーと接続される側の反対側の電極には定電圧Vdが印加されている。この液晶セル110の共通電極は、文字通り全ての画素120に対して共通した電極となっており、そして、液晶セル110の表示電極と共通電極との間に補助電容量が形成されている。また、補助容量C5において、上下のワイヤーと接続される側の反対側の電極、すなはち、表示電極の反対側の電極には、定電圧Vdが印加され、表示電極には電圧Vcが印加される。

の透過率が変化し、画像が表示される。

【(0.05%)】ここで、画素部の特徴として重要なもの、即ち、書き込み特性と保持特性がある。書き込み特性に対して要求されるのは、画素部11の仕様から定められた単位時間内に、信号蓄積器子(液晶セル1)に及ぼす辅助電圧(ES)に対して所要のビデオ信号電圧を十分に書き込むことができるかどうかといつてある。また、保持特性に対して要求されるのは、信号蓄積器子に一旦書き込んだビデオ信号電圧を必要な時間だけ保持することができるかどうかといつてある。

【(1) (b)】補助容量:  $S$ が設けられていないのは、信号蓄積素子の静電容量を増大させて書き込み特性及び保持特性を向上させるためである。すなれば、液晶セル上には、この構造上、静電容量の増大には限界がある。そこで、補助容量( $S$ )によって液晶セル上での静電容量の不足分を補うわけである。ここで、図18に熱吸収膜であるシリザイン下膜の $S$ が設けられた領域を示す平面図である。

【図956】同様に示す如く、Wシリカイ上膜には多結晶シリコン膜の上と(表面同様感電極中にハーフシングで示す)に設けられている。図中、7-1はソースドレイン電極、7-2は漏素電極であり、8-1はドレインライン、8-2はゲートラインである。制御駆動回路部では、画素部に比べて半導体膜が多く密集しているので、熱吸収膜は半導体膜の領域内により小さく大きさで設けられていることが好ましい。

【図15】図15は、本発明における熱吸収膜の他の例を示す平面図である。同図を参照して、熱吸収膜(1)は、多結晶シリコン膜のチャップル部(2) (図中ハッチングで示す)の部分にのみ設けられている。集積化半導体がバイス受け、上述のように、パターンの疎密が基板上に発生するため、各トランジスタに均等にWシリコン膜(3)を設けた)では、場所によって単位面積当たりの熱吸収率が異なり、均一熱処理が行えず、また、Wシリコン膜(3)が集中する場所での温度が非常に高くなる基板(4)が塑形する場合がある。

【図158】右上は、下唇に自創した軟吸取膜による中位前歯部の富腫を、左は上唇に形成された軟吸取膜による前歯部一定を示す。右に示す軟吸取膜は、上唇では活性化されると、高湿度が脇吸場を鮮明化することになる。不実施形態は、左に示すやバーブ型、右に示すや丸型は、周辺運動部部位には比較的柔軟部であり、吸膜シスル、入、出の密度が高いため、周辺運動部部位での下唇の活性化、或いは対応する下唇の柔軟膜の前面積を一塵も疎かにせずに、またその他の部位に及ぼす影響

回路部及び上記操作部の間或はこれらと吸収膜、前記比率を説明するための平面図がある。

【（060）】上述、（1）に示す吸収膜は、基板の（1）面側ではほぼ均等に設けられていることが好ましい。画素部（2）では、回路部全体の面積が（0.1%～6.0%）の範囲であることが好ましく、より好ましくは（1%～5.0%）の範囲より、周辺非動回路部（3）では、回路部全体の面積が（0.01%～6.0%）であることが好ましく、より好ましくは（0.1%～5.0%）である。画素部（2）及び周辺非動回路部（3）以外の領域では、（0.01%～6.0%）の範囲で、全体の面積が（0.01%～6.0%）設けられていることが好ましく、より好ましくは（0.01%～5.0%）である。

【1.0.6.1】以上の実施形態において、前記Wシリカを上膜2の大きさは、基本的に、多結晶シリコン膜と同様か又はそれを以上で大きくは無いが、面内で300ナノメートル以上に對応した面積を有する上に調整すれば、最も好ましい。また、上記の上膜2において、周辺駆動回路部2は透光性を必要とするので、この部分のWシリカと上膜2の大きさの調整範囲は、(1)方の周辺駆動回路部2を全領域まで可能である。

【106】尚、Wシリカイ子膜の面積を変える手法には、膜厚を変える手法もある。Wシリカイ子を用いた場合の膜厚は、200Å、1000Åであり、より好ましくは、半導体素子の密度が高い領域は200Å～300Å、半導体素子の密度が低い領域は100Å～600Åであり、非品質シリコンを用いた場合には、1000Å～4000Åであり、より好ましくは、2000Å、3000Åである。また、材料の場合も、概ね密度の高い領域は密度の低い領域に対して厚みは半分程度であるらしい。

【(1068)】以上、本実施例により製造した多結晶シリコンワafに、かかる低温プロセスを行なうことができ、しかも、其質の多結晶シリコン膜を能動層として使用している。本発明者の実験によれば、五種の不純物MのS型多結晶シリコンワafの移動度は、 $2.7 \times 10^4 \text{ cm}^2/\text{V}\cdot\text{sec}$ 、S型ワafの不純物MのS型多結晶シリコンワafの移動度は、 $1.9 \times 10^4 \text{ cm}^2/\text{V}\cdot\text{sec}$ である。一方、性能がよく、かつ実用性の高いガラス

スルのサイン (W = 1.8,  $\lambda = 1.0 \mu\text{m}$ ) に比べて、1.8  $\mu\text{m}$ 以下のサイン (W = 1.8,  $\lambda = 5 \mu\text{m}$ ) に縮小することができる。更には、高品質の能動層で作成して、干涉シグナル (印下時) の電流も増加し、更に助成する容量の面積も 1.8  $\mu\text{m}$ 以下に縮小することができる。

【01066】具体的には、サイン2、右型2、画素比：1.50、0.01(1)mm<sup>-1</sup>50(N)、画素数：2.5万ドット(320×512)、R(G)：2.10)と、従来型のハサードに比べて3倍以上の高密度画素を有したがゆえ、不規則といふ高開口率、従来比(1.5倍)のものを得ることができ、高輝度化を実現できること以上の実施形態は以下のように変更してもよい。その場合でも同様の作用、効果を得ることが可能となる。

【(1) (6)】 1) AVモリセイド膜に代えて、半結晶質シリコン膜や多結晶シリコン膜などの半導体膜を用いる。これらのシリコン膜には不純物が少々含まれていてもよい。このように、導電性膜には半導体膜を用いることにより、この熱吸収膜に電力を印加することで、TFTを、TFTに用いられるMOSトランジスタのように、4端子デバイスとして動作させたり、しきい値電圧をコントロールできると共に、ガラス基板を用いた場合には、基板内のイオンを静電的にシールドするため、ガラス基板内のイオンによるトランジスタの特性劣化及び可動イオンが形成する電位によるTFTへの悪影響を防止することができる。

【07068】2) Wシリサイド膜2)に代えて、Mo-Si<sub>2</sub>、Ti-Si<sub>2</sub>、Ta-Si<sub>2</sub>、Cr-Si<sub>2</sub>などの高融点金属シリサイド、その他 W、Mo、Cr、Ta、Ti、Ta<sub>2</sub>などの高融点金属を用いてもよい。更には、使用温度が低い場合には(約400°C以下の) Al<sub>2</sub>やAl<sub>3</sub>などのいわゆる低融点金属を用いてもよい。Wシリサイド膜も含めて、これらの金属膜は、光透過性、性質を有している。以下述べる効果を有する。

【0069】一方、光の散乱を防止すると共に液晶セルは斜めから入る光を遮る不要な光を遮るので、上(0068)をもとにした新しい構成を示す。

均に充てたる上、自ら劣化を防ぐ事。

【0070】3. 1工程4に従って、非晶質シリコン膜を  
濾紙のVDF膜により、割合は、モル比2:ガスを用い、  
温度350℃で堆積させる。これにより、非晶質シリコン

之膜上，則極晶體之潛在性質，便藉而更發露。極晶體之膜，其極晶體之性質，便更顯著。極晶體之膜，則其極晶體之性質，便更顯著。

外觀的樣子又一個個你試，試到的，一定會有自己喜歡的形狀。

多く多結晶シリコンは、換算した不純物濃度は相手の多結晶シリコンに不純物を付加しない多結晶シリコンの下に付加しない値電圧(V<sub>th</sub>)を制御する。固相成長法で得られた多結晶シリコンの下に付加しない、すなはち不純物を付加しない場合は、下に付加しない多結晶シリコンの下ではチップリーション方向にしきい値電圧からアーバー、ドチャネルトランジスタでは正のバイアス方向にしきい値電圧がリバース方向にある。また、水素化処理を行った場合には、その方向がリバース側である。このしきい値電圧がリバースを抑止するには、チップリーションに不純物をドーピングすればよい。

【0072】(3) 前記工程に代り、以下の工程を行  
う。

工程5a: 電気炉に送り、空氣(N<sub>2</sub>)零明滅中、温度600°C(0.4程度で約20時間)熟処理を行うことにより、前記非晶質シリコン膜上を固相成長させた多結晶シリコン膜を形成する。

7) 工程 5 まで形成した上界多結晶シリコン膜上には、膜を構成する結晶間に軽微な凹凸が多く存在するとともに、結晶間に非晶質部分が残って、これが可能性があり、リード電流が多くなる危険がある。

【0073】そこで、工程5の後、基板1を炉内へ送り、  
又はレーザー・エニール法により急速加熱し、多結晶シリ  
コン膜2の品質を改善する。

8) 工程1や工程7において、スパッタ法以外のVDI方法(真空蒸着法、イオン?レーザ?ミリング法、イオン?エーム?デポジション法、クラスターイオンビーム法等)を用いて、WSiリサイクル膜上、(1)を形成する。この場合にも、前記のスパッタ法の場合と同様理由により、WSiリサイクル膜上(1)の組成を $\lambda$ に設定する。

【10075】 1:125 一型飛行艇 (飛行艇一型  
飛行艇二型) 這款飛行艇的結構造得非常簡單  
而且堅固，飛行艇一型

## 【0076】

【発明の効果】本発明においては、以下に述べる如きの効果を奏する。

- 1) 热吸収膜の存在により、不純物領域の活性化状態が均一に保れた品質の半導体装置を得ることができます。
- 2) 具有半導体膜を有する半導体装置を短時間で得ることができます。

【0077】3. 表示性能に優れたLCD等、有機EL等の表示装置を提供することができる。

- 4) 热処理の際に基板の変形を防止することができます。

## 【図面の簡単な説明】

【図1】本発明を具体化した一実施例の製造工程を説明するための断面図である。

【図2】本発明を具体化した一実施例の製造工程を説明するための断面図である。

【図3】本発明を具体化した一実施例の製造工程を説明するための断面図である。

【図4】本発明を具体化した一実施例の製造工程を説明するための断面図である。

【図5】本発明を具体化した一実施例の製造工程を説明するための断面図である。

【図6】本発明を具体化した一実施例の製造工程を説明するための断面図である。

【図7】本発明を具体化した一実施例の製造工程を説明するための断面図である。

【図8】本発明を具体化した一実施例の製造工程を説明するための断面図である。

【図9】本発明を具体化した一実施例の製造工程を説明するための断面図である。

【図10】本発明を具体化した一実施例の製造工程を説

明するための断面図である。

【図11】上記の構造部の製造方法を説明するための概略断面図である。

【図12】アタリマスクマスク方式による構造部の構成図である。

【図13】画素の面間隔計測図である。

【図14】エッチングマスク面に一小基板構成部がある。

【図15】上記の装置の構成図である。

【図16】従来例の製造工程を説明するための断面図である。

【図17】従来例の製造工程を説明するための断面図である。

【図18】本発明における熱吸収膜形成領域の一例を示す平面図である。

【図19】本発明における熱吸収膜形成領域の他例を示す平面図である。

【図20】本発明における画素部、周辺駆動部及びその他の基板上に領域における熱吸収膜の面積比率を説明するための平面図である。

## 【符号の説明】

1. 絶縁基板
2. Wシリカガラス膜(熱吸収膜)
3. 絶縁性導膜(通線膜)
4. 多結晶シリコン膜(半導体膜)
5. I-T-O膜(イモー絶縁膜)
6. タイド電極
9. 不純物領域
- A. フラット半導体素子(半導体アーチング素子)
62. Wシリカガラス膜(熱吸収膜)

【図1】



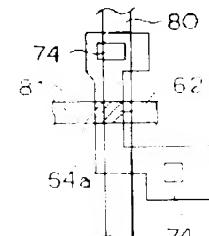
【図3】



【図4】



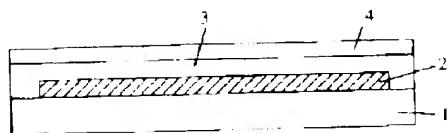
【図19】



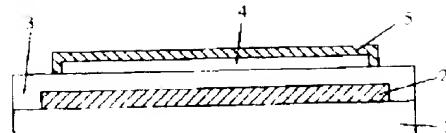
【図11】



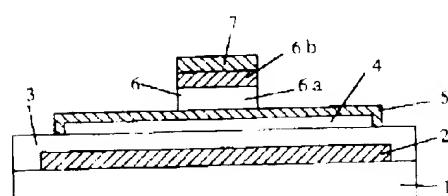
【図5】



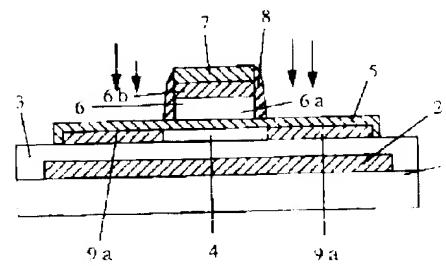
【図6】



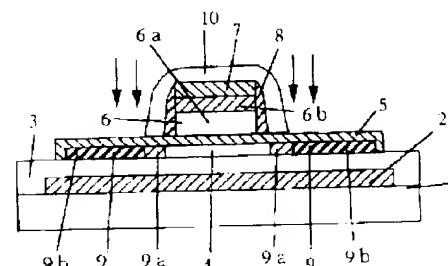
【図7】



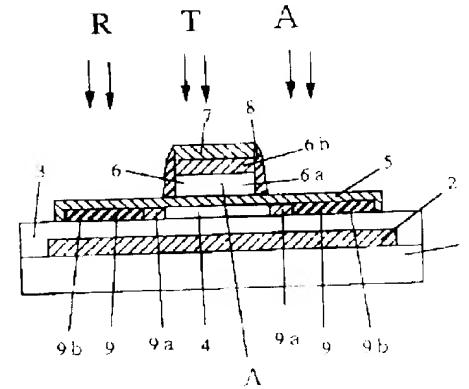
【図8】



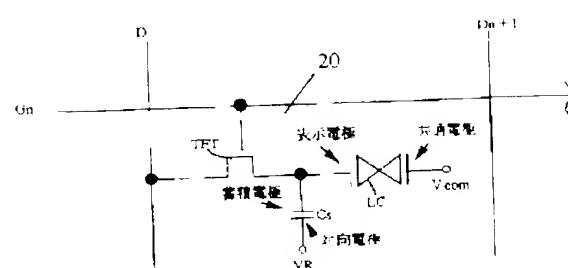
【図9】



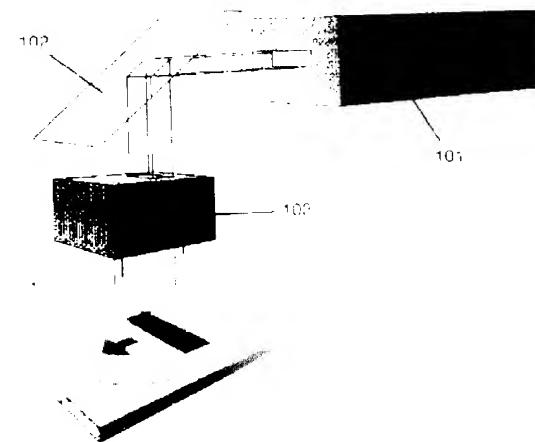
【図10】



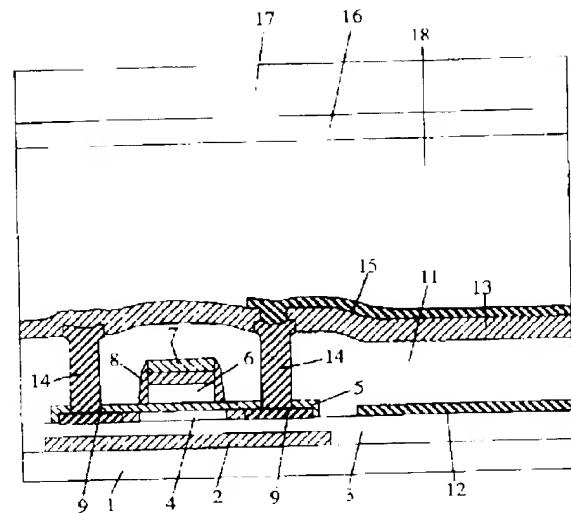
【図11】



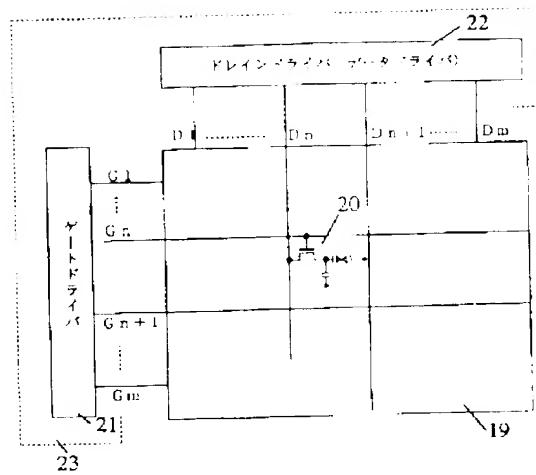
【図12】



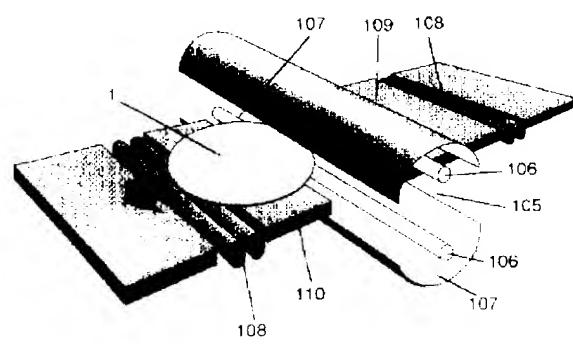
【図1-1】



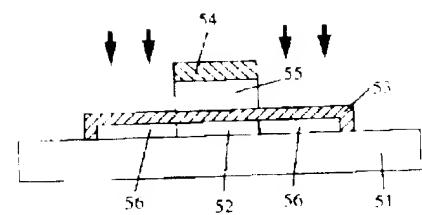
【図1-2】



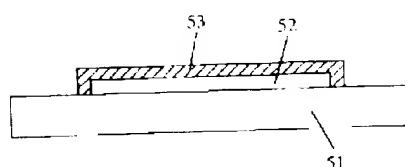
【図1-3】



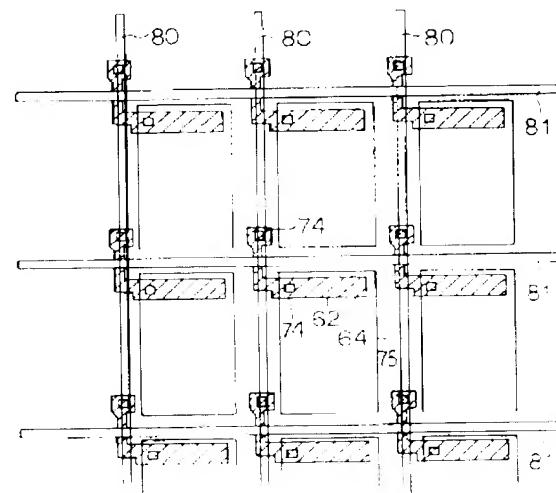
【図1-4】



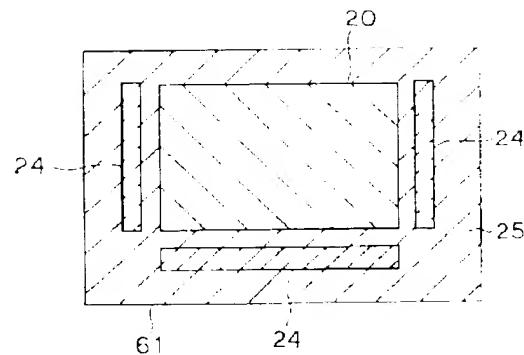
【図1-5】



【図1-6】



## 【図20】



フロントページの続き

(51)Int.Cl.

識別記号 片内整理番号

E1

技術表示箇所

H01L-21/536

H01L-29/78

6260

6273

(72)発明者 森木 佳宏

大阪府守口市京阪本通2丁目5番5号 三  
洋電機株式会社内

(72)発明者 佐田 清

大阪府守口市京阪本通2丁目5番5号 三  
洋電機株式会社内